

中 華 民 國 專 利 公 報 (19)(12)

(11)公告編號：341415

(44)中華民國87年(1998)09月21日

新 型

全 3 頁

(51)Int. Cl.⁶: H03M7/00

(54)名 稱：數位資料切割電路

(21)申 請 案 號：86205306

(22)申請日期：中華民國86年(1997)04月08日

(72)創 作 人：

張垂弘

新竹市北大路二十九號十二樓之二

(71)申 請 人：

聯華電子股份有限公司

新竹科學工業園區工業東三路三號

(74)代 理 人：詹銘文 先生

1

2

[57]申請專利範圍：

1.一種數位資料切割電路，係利用一數位總值編碼之原理來達成數位資料切割的目的，該數位資料切割電路外接一第一訊號與一容忍範圍訊號，然後產生一第二訊號並輸出一切割後訊號，該數位資料切割電路包括：

一比較器，接收該第一訊號，並將該第一訊號與該第二訊號比較，然後輸出該切割後訊號；

一數位總值計算器，接收該切割後訊號，然後計算得一數位總值，並將結果由一第一匯流排輸出；

一數位總值處理器，接收該數位總值與容忍範圍訊號，然後在該容忍範圍的控制下，藉由一第二匯流排輸出一控制訊號；以及

一數位-類比轉換器，接收該控制訊號，然後輸出該第二訊號。

2.如申請專利範圍第1項所述之裝置，其

中該切割後訊號為一數位訊號。

3.如申請專利範圍第1項所述之裝置，其中該數位總值處理器包括一降頻濾波單元。

4.如申請專利範圍第1項所述之裝置，其中該數位總值處理器包括一輸入訊號感知處理電路。

圖式簡單說明：

第一圖繪示傳統以類比/數位之低通

濾波器所設計的數位資料切割電路圖。

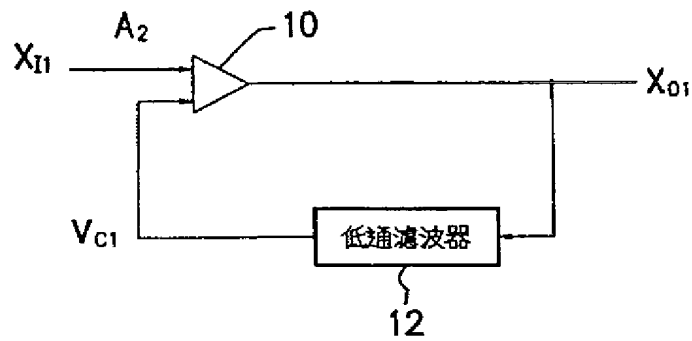
第二圖繪示傳統利用鎖相迴路所設計的數位資料切割電路圖。

第三圖繪示傳統利用上-下計數器所設計的數位資料切割電路圖。

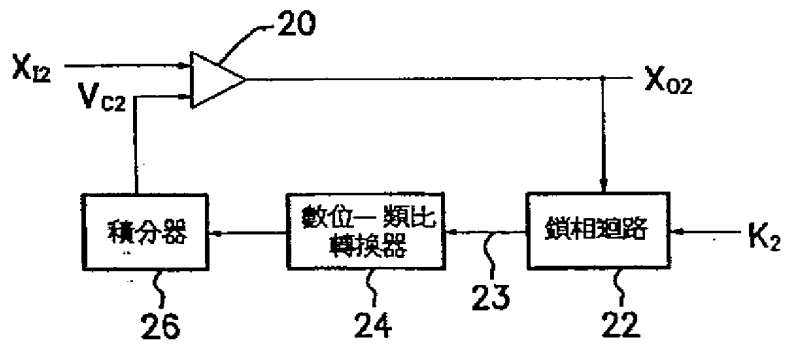
15. 第四圖繪示依照本創作一較佳實施的數位資料切割電路圖。

第五圖繪示計算數位總值之時脈訊號圖。

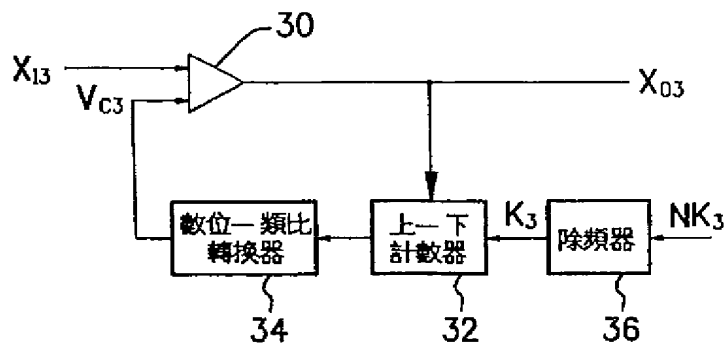
(2)



第一圖

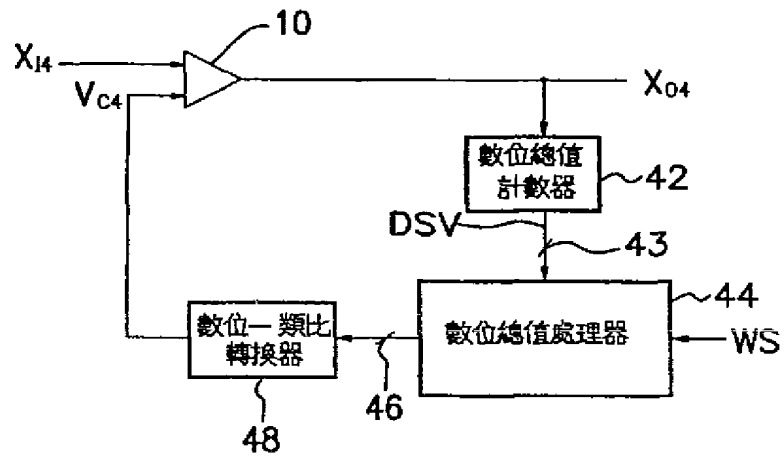


第二圖

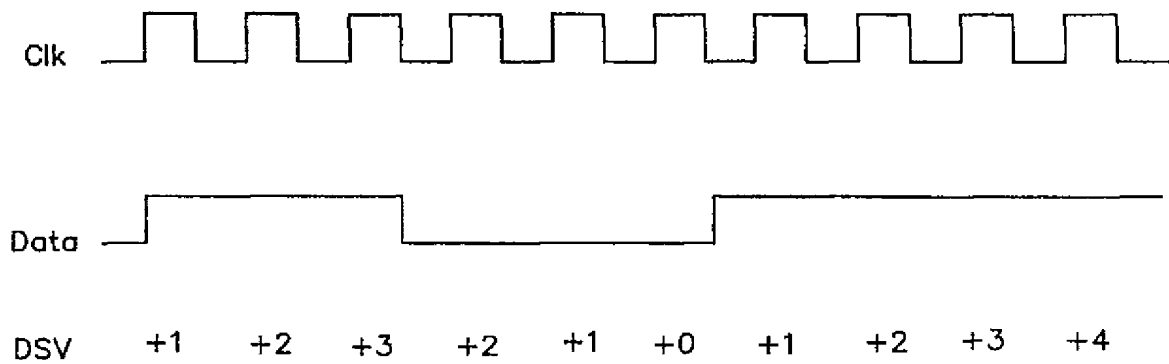


第三圖

(3)



第四圖



第五圖